

Docket No.: 50083-218

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Keiichiro WAKAMIYA, et al.

Serial No.:

Group Art Unit:

Filed: March 06, 2002

Examiner:

For: SEMICONDUCTOR DEVICE

#3
Greer
51302

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-294554, filed September 26, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prp
Date: March 6, 2002
Facsimile: (202) 756-8087

50083-218
Wakamiya et al.
March 6, 2002
McDermott, Will & Emery

日 本 国 特 許 庁

JAPAN PATENT OFFICE

10/091306
03/06/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月26日

出 願 番 号

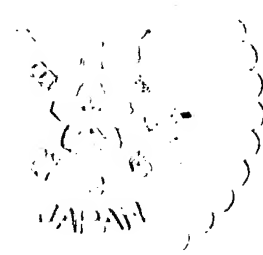
Application Number:

特願2001-294554

出 願 人

Applicant(s):

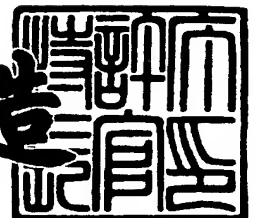
三菱電機株式会社



2001年10月19日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3092198

【書類名】 特許願

【整理番号】 533381JP01

【提出日】 平成13年 9月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 若宮 敬一郎

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 岩崎 俊寛

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 木村 通孝

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 畑中 康道

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089118

【弁理士】

【氏名又は名称】 酒井 宏明

【手数料の表示】

【予納台帳番号】 036711

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9803092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 表面にバンプを設けた半導体チップと、
チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ
搭載部材と、

を備え、前記半導体チップを裏返した状態で該半導体チップのバンプを前記チ
ップ搭載部材の内部端子にボンディングして成る半導体装置において、

前記チップ搭載部材を挟んで前記内部端子の配置領域に対応する領域には前記
外部端子を配置したことを特徴とする半導体装置。

【請求項 2】 表面にバンプを設けた半導体チップと、
チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ
搭載部材と、

を備え、前記半導体チップを裏返した状態で該半導体チップのバンプを前記チ
ップ搭載部材の内部端子にボンディングして成る半導体装置において、

前記チップ搭載部材を挟んで前記内部端子の配置領域に対応する領域外に前記
外部端子を配置したことを特徴とする半導体装置。

【請求項 3】 表面にバンプを設けた半導体チップと、
チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ
搭載部材と、

を備え、前記半導体チップを裏返した状態で該半導体チップのバンプを前記チ
ップ搭載部材の内部端子にボンディングして成る半導体装置において、

前記チップ搭載部材の外部接続面における前記外部端子の配置領域外で、かつ
前記チップ搭載部材を挟んで前記内部端子の配置領域に対応する領域にダミー端
子を設けたことを特徴とする半導体装置。

【請求項 4】 表面にバンプを設けた半導体チップと、
チップ搭載面に互いに高さの異なる複数の内部端子を有したチップ搭載部材と

を備え、前記半導体チップを裏返した状態で該半導体チップのバンプを前記チ

ップ搭載部材の内部端子にボンディングして成る半導体装置において、

前記チップ搭載部材と前記半導体チップとが互いに平行となるように前記内部端子の高さに応じて前記バンプの高さを変化させたことを特徴とする半導体装置。

【請求項 5】 前記バンプの重ね数によってその高さを変化させることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 前記チップ搭載部材は、複数の配線層を具備し、かつ該配線層に前記内部端子を有した多層基板であることを特徴とする請求項 4 または 5 に記載の半導体装置。

【請求項 7】 前記チップ搭載部材は、複数の配線層を具備し、かつ該配線層に前記内部端子を有したチップ搭載型半導体チップであることを特徴とする請求項 4 または 5 に記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、半導体装置に関するもので、より詳細には、表面にバンプを設けた半導体チップを裏返した状態で該半導体チップのバンプをチップ搭載基板等のチップ搭載部材にボンディングして成る半導体装置に関するものである。

【 0 0 0 2 】

【従来の技術】

図 7 は、この種の半導体装置の第 1 例を示したものであり、図 8 は、第 2 例を示したものである。

【 0 0 0 3 】

まず、図 7 に示した第 1 例の半導体装置は、フリップチップタイプと称されるもので、半導体チップ 1 を裏返した状態でチップ搭載基板 2 に搭載してある。図 7 (a) に示すように、半導体チップ 1 には、その表面（図において下面）に複数の A 1（アルミニウム）パッド 3 が形成してあり、各 A 1 パッド 3 にワイヤボンディング方式によってそれぞれ A u（金）バンプ 4 が設けてある。一方、チップ搭載基板 2 には、半導体チップ 1 を搭載するチップ搭載面 2 a に内部端子とな

る内部電極パッド5が設けてある一方、外部接続面2bに外部端子となる外部電極ランド6が設けてある。内部電極パッド5には、半導体チップ1を搭載した場合に該半導体チップ1のAuバンプ4がボンディングされることになる。外部電極ランド6には、半導体装置を実装基板等の実装対象に実装する場合に半田ボール（図示せず）が搭載されることになる。なお、図中の符号2cは、内部電極パッド5と外部電極ランド6との間を接続するビアである。

【0004】

図8に示した第2例の半導体装置は、チップ搭載基板7が複数の配線パターン層8, 9を有したものである。このチップ搭載基板7には、図8(a)に示すように、各配線パターン層8, 9毎に内部端子となる内部電極パッド8a, 9aが設けてある。この内部電極パッド8a, 9aには、半導体チップ1を搭載した場合に該半導体チップ1のAuバンプ4がボンディングされることになる。なお、半導体チップ1の構成に関しては、上述した第1例の半導体装置と同様であるため、同一の符号を付してそれぞれの説明を省略する。

【0005】

【発明が解決しようとする課題】

ところで、上記のような半導体装置においては、第1例および第2例のいずれにおいても、チップ搭載基板2, 7の内部電極パッド5, 8a, 9aを半導体チップ1のAuバンプ4に対応した領域に設けさえすれば、当該半導体チップ1をチップ搭載基板2, 7に搭載することは可能になる。

【0006】

しかしながら、図7に示した第1例の半導体装置においては、チップ搭載基板2の実質的な板厚に差ができるため、例えばチップ搭載基板2に対して半導体チップ1を搭載する際に超音波併用熱圧着ボンディング法を用いた場合、図7(c)に示すように、Auバンプ4の潰れ量に大きな差が生じることになる。つまり、図7(b)および図7(c)に示すように、外部接続面2bの対応する領域に外部電極ランド6が設けられた内部電極パッド5に接合するAuバンプ4aに対して、外部接続面2bの対応する領域に外部電極ランド6が存在しない内部電極パッド5に接合するAuバンプ4bの潰れ量が小さくならざるを得ない。この結

果、一つの半導体装置においてAuバンプ4と内部電極パッド5との間の接合条件に大きな差が生じることとなり、後者においてはAuバンプ4と内部電極パッド5との間に接続不良が招来される虞れさえある。

【0007】

一方、図8に示した第2例の半導体装置においても、同様の問題がある。すなわち、下部の配線パターン層8に設けた内部電極パッド（以下、単に下部パッド8aという）と、上部の配線パターン層9に設けた内部電極パッド（以下、単に上部パッド9aという）とに高さ方向の差があるため、図8（b）に示すように、両者8a、9aに対するAuバンプ4c、4dの潰れ量に大きな差が生じ、高さの低い下部パッド8aとAuバンプ4dとの間に接続不良が招来される虞れがある。

【0008】

この発明は上記実情に鑑みてなされたもので、半導体チップのバンプとチップ搭載部材の内部端子との間の接合条件を均一化することのできる半導体装置を得ることを目的とする。

【0009】

【課題を解決するための手段】

上記目的を達成するため、この発明にかかる半導体装置は、表面にバンプを設けた半導体チップと、チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ搭載部材と、を備え、前記半導体チップを裏返した状態で該半導体チップのバンプを前記チップ搭載部材の内部端子にボンディングして成る半導体装置において、前記チップ搭載部材を挟んで前記内部端子の配置領域に対応する領域には前記外部端子を配置したことを特徴とする。

【0010】

この発明によれば、半導体チップのバンプをボンディングする部分においてチップ搭載部材の板厚が同一となる。

【0011】

つぎの発明にかかる半導体装置は、表面にバンプを設けた半導体チップと、チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ搭載

部材と、を備え、前記半導体チップを裏返した状態で該半導体チップの bumps を前記チップ搭載部材の内部端子にボンディングして成る半導体装置において、前記チップ搭載部材を挟んで前記内部端子の配置領域に対応する領域外に前記外部端子を配置したことを特徴とする。

【 0 0 1 2 】

この発明によれば、半導体チップの bumps をボンディングする部分においてチップ搭載部材の板厚が同一となる。

【 0 0 1 3 】

つぎの発明にかかる半導体装置は、表面に bumps を設けた半導体チップと、チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ搭載部材と、を備え、前記半導体チップを裏返した状態で該半導体チップの bumps を前記チップ搭載部材の内部端子にボンディングして成る半導体装置において、前記チップ搭載部材の外部接続面における前記外部端子の配置領域外で、かつ前記チップ搭載部材を挟んで前記内部端子の配置領域に対応する領域にダミー端子を設けたことを特徴とする。

【 0 0 1 4 】

この発明によれば、半導体チップの bumps をボンディングする部分においてチップ搭載部材の板厚が同一となる。

【 0 0 1 5 】

つぎの発明にかかる半導体装置は、表面に bumps を設けた半導体チップと、チップ搭載面に互いに高さの異なる複数の内部端子を有したチップ搭載部材と、を備え、前記半導体チップを裏返した状態で該半導体チップの bumps を前記チップ搭載部材の内部端子にボンディングして成る半導体装置において、前記チップ搭載部材と前記半導体チップとが互いに平行となるように前記内部端子の高さに応じて前記 bumps の高さを変化させたことを特徴とする。

【 0 0 1 6 】

この発明によれば、 bumps の高さを変化させることによって内部端子の高さの差を吸収することができる。

【 0 0 1 7 】

つぎの発明にかかる半導体装置は、上記の発明において、前記バンプの重ね数によってその高さを変化させることを特徴とする。

【 0 0 1 8 】

この発明によれば、容易にバンプの高さを変更することができる。

【 0 0 1 9 】

つぎの発明にかかる半導体装置は、上記の発明において、前記チップ搭載部材が、複数の配線層を具備し、かつ該配線層に前記内部端子を有した多層基板であることを特徴とする。

【 0 0 2 0 】

この発明によれば、内部端子の高さの差を吸収して半導体チップを多層基板に搭載することができる。

【 0 0 2 1 】

つぎの発明にかかる半導体装置は、上記の発明において、前記チップ搭載部材が、複数の配線層を具備し、かつ該配線層に前記内部端子を有したチップ搭載型半導体チップであることを特徴とする。

【 0 0 2 2 】

この発明によれば、内部端子の高さの差を吸収して半導体チップを積層することができる。

【 0 0 2 3 】

【発明の実施の形態】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。

【 0 0 2 4 】

実施の形態 1.

図 1 は、この発明の実施の形態 1 である半導体装置を示したものである。ここで例示する半導体装置は、フリップチップタイプと称されるもので、半導体チップ 10 を裏返した状態でガラスエポキシ製のチップ搭載基板（チップ搭載部材）20 に搭載してある。

【 0 0 2 5 】

半導体チップ10には、図1(a)に示すように、その表面(図において下面)に複数のA1パッド11が形成してある。各A1パッド11にそれぞれワイヤボンディング方式によってAuバンプ12が設けてある。

【0026】

一方、チップ搭載基板20には、半導体チップ10を搭載するチップ搭載面20aに内部電極パッド21が設けてある。内部電極パッド21は、内部端子となる部分であり、上述した半導体チップ10のAuバンプ12に対応する部位に配置してある。内部電極パッド21としては、例えば板厚18 μ mのCu(銅)箔上に約5 μ mのNi(ニッケル)メッキを施し、さらに約0.1 μ mのAuメッキを施した積層構造のものを適用すればよい。

【0027】

また、チップ搭載基板20においてチップ搭載面20aの裏面となる外部接続面20bには、外部電極ランド22が設けてある。外部電極ランド22は、外部端子となる部分であり、図1(b)および図1(c)に示すように、チップ搭載基板20を挟んで上述した内部電極パッド21の配置領域に対応する領域にそれぞれ配置してある。つまり、本実施の形態1では、内部電極パッド21を配置した領域と外部電極ランド22を配置した領域とがチップ搭載基板20を挟んで互に対応するように構成してある。外部電極ランド22としては、上述した内部電極パッド21と同様に、板厚18 μ mのCu箔上に約5 μ mのNiメッキを施し、さらに約0.1 μ mのAuメッキを施した積層構造のものを適用すればよい。この外部電極ランド22には、半導体装置を実装基板等の実装対象に実装する場合にそれぞれ半田ボール23が搭載されることになる。また、外部電極ランド22と上述した内部電極パッド21との間は、ビア24を通じてCuメッキにより接続されている。なお、外部電極ランド22は、必ずしもチップ搭載基板20を挟んで内部電極パッド21の配置領域に対応する領域にのみ配置する必要はなく、その他の必要箇所に配置するようにしても構わない。

【0028】

この半導体装置は、図1(b)に示すように、半導体チップ10のAuバンプ12と、チップ搭載基板20の内部電極パッド21とを対向させた状態で超音波

併用熱圧着ボンディング法を用いることにより、各Auバンプ12が対応する内部電極パッド21にボンディングされ、半導体チップ10がチップ搭載基板20に搭載されることになる。

【0029】

ここで、本実施の形態1の半導体装置によれば、上述したように、チップ搭載基板20を挟んで内部電極パッド21の配置領域に対応する領域にそれぞれ外部電極ランド22を配置するようにしているため、半導体チップ10のAuバンプ12をボンディングする部分においてはチップ搭載基板20の実質的な板厚が同一となる。すなわち、半導体チップ10のAuバンプ12をボンディングする部分においては、チップ搭載基板20の実質的な板厚が、いずれも内部電極パッド21の板厚および外部電極ランド22の板厚を加算した値となる。このため、超音波併用熱圧着ボンディング法を用いた場合に、内部電極パッド21に接合されるAuバンプ12に対して荷重が均等に加わることになり、それぞれの潰れ量も均一となる。この結果、一つの半導体装置においてAuバンプ12と内部電極パッド21との間の接合条件が同一となり、特定の箇所に接続不良が招来されるといった虞れもなく、その品質を向上させることが可能になる。

【0030】

実施の形態2.

上述した実施の形態1は、チップ搭載部材を挟んで内部端子の配置領域に対応する領域に外部端子を配置するようにしたものである。これに対して実施の形態2は、チップ搭載部材を挟んで内部端子の配置領域に対応する領域外に外部端子を配置するようにしたものである。

【0031】

図2は、この発明の実施の形態2である半導体装置を示したものである。ここで例示する半導体装置は、実施の形態1と同様、フリップチップタイプと称されるもので、半導体チップ10を裏返した状態でガラスエポキシ製のチップ搭載基板（チップ搭載部材）30に搭載してある。

【0032】

半導体チップ10には、図2（a）に示すように、その表面（図において下面

）に複数のA1パッド11が形成してあるとともに、各A1パッド11にそれぞれワイヤボンディング方式によってAuバンプ12が設けてある。

【0033】

一方、チップ搭載基板30には、半導体チップ10を搭載するチップ搭載面30aに内部電極パッド31が設けてある。内部電極パッド31は、内部端子となる部分であり、上述した半導体チップ10のAuバンプ12に対応する部位に配置してある。内部電極パッド31としては、実施の形態1と同様に、板厚18 μ mのCu箔上に約5 μ mのNiメッキを施し、さらに約0.1 μ mのAuメッキを施した積層構造のものを適用すればよい。

【0034】

また、チップ搭載基板30においてチップ搭載面30aの裏面となる外部接続面30bには、外部電極ランド32が設けてある。外部電極ランド32は、外部端子となる部分であり、図2(b)および図2(c)に示すように、チップ搭載基板30を挟んで内部電極パッド31の配置領域に対応する領域外にそれぞれ配置してある。つまり、本実施の形態2では、内部電極パッド31を配置した領域と外部電極ランド32を配置した領域とがチップ搭載基板30を挟んで互いにずれた位置となるように構成してある。外部電極ランド32としては、上述した内部電極パッド31と同様に、板厚18 μ mのCu箔上に約5 μ mのNiメッキを施し、さらに約0.1 μ mのAuメッキを施した積層構造のものを適用すればよい。この外部電極ランド32には、半導体装置を実装基板等の実装対象に実装する場合にそれぞれ半田ボール33が搭載されることになる。また、外部電極ランド32と上述した内部電極パッド31との間がビア34を通じてCuメッキにより接続されているのも、実施の形態1と同様である。

【0035】

この半導体装置は、図2(b)に示すように、半導体チップ10のAuバンプ12と、チップ搭載基板30の内部電極パッド31とを対向させた状態で超音波併用熱圧着ボンディング法を用いることにより、各Auバンプ12が対応する内部電極パッド31にボンディングされ、半導体チップ10がチップ搭載基板30に搭載されることになる。

【0036】

ここで、本実施の形態2の半導体装置によれば、上述したように、チップ搭載基板30を挟んで内部電極パッド31の配置領域に対応する領域外にそれぞれ外部電極ランド32を配置するようにしているため、半導体チップ10のAuバンプ12をボンディングする部分においてはチップ搭載基板30の実質的な板厚が同一となる。すなわち、半導体チップ10のAuバンプ12をボンディングする部分においては、チップ搭載基板30の実質的な板厚が、いずれも内部電極パッド31の板厚を加算した値となる。このため、超音波併用熱圧着ボンディング法を用いた場合に、内部電極パッド31に接合されるAuバンプ12に対して荷重が均等に加わることになり、それぞれの潰れ量も均一となる。この結果、一つの半導体装置においてAuバンプ12と内部電極パッド31との間の接合条件が同一となり、特定の箇所に接続不良が招来されるといった虞れもなく、その品質を向上させることが可能になる。

【0037】

実施の形態3.

上述した実施の形態1は、チップ搭載部材を挟んで内部端子の配置領域に対応する領域に外部端子を配置するようにしたものである。これに対して実施の形態3は、チップ搭載部材の外部接続面における外部端子の配置領域外で、かつチップ搭載部材を挟んで内部端子の配置領域に対応する領域にダミー端子を設けるようにしたものである。

【0038】

図3は、この発明の実施の形態3である半導体装置を示したものである。ここで例示する半導体装置は、実施の形態1と同様、フリップチップタイプと称されるもので、半導体チップ10を裏返した状態でガラスエポキシ製のチップ搭載基板（チップ搭載部材）に搭載してある。

【0039】

半導体チップ10には、図3（a）に示すように、その表面（図において下面）に複数のA1パッド11が形成してあるとともに、各A1パッド11にそれぞれワイヤボンディング方式によってAuバンプ12が設けてある。

【 0 0 4 0 】

一方、チップ搭載基板 4 0 には、半導体チップ 1 0 を搭載するチップ搭載面 4 0 a に内部電極パッド 4 1 が設けてある。内部電極パッド 4 1 は、内部端子となる部分であり、上述した半導体チップ 1 0 の A u バンプ 1 2 に対応する部位に配置してある。内部電極パッド 4 1 としては、実施の形態 1 と同様に、板厚 $18\mu\text{m}$ の C u 箔上に約 $5\mu\text{m}$ の N i メッキを施し、さらに約 $0.1\mu\text{m}$ の A u メッキを施した積層構造のものを適用すればよい。

【 0 0 4 1 】

また、チップ搭載基板 4 0 においてチップ搭載面 4 0 a の裏面となる外部接続面 4 0 b には、外部電極ランド 4 2 およびダミーランド 4 5 が設けてある。

【 0 0 4 2 】

外部電極ランド 4 2 は、外部端子となる部分であり、図 3 (b) および図 3 (c) に示すように、チップ搭載基板 4 0 を挟んで内部電極パッド 4 1 の配置領域に対応する領域外にそれぞれ配置してある。つまり、本実施の形態 3 では、内部電極パッド 4 1 を配置した領域と外部電極ランド 4 2 を配置した領域とがチップ搭載基板 4 0 を挟んで互いにずれた位置となるように構成してある。外部電極ランド 4 2 としては、上述した内部電極パッド 4 1 と同様に、板厚 $18\mu\text{m}$ の C u 箔上に約 $5\mu\text{m}$ の N i メッキを施し、さらに約 $0.1\mu\text{m}$ の A u メッキを施した積層構造のものを適用すればよい。この外部電極ランド 4 2 には、半導体装置を実装基板等の実装対象に実装する場合にそれぞれ半田ボール 4 3 が搭載されることになる。また、内部電極パッド 4 1 と外部電極ランド 4 2 との間がビア 4 4 を通じて C u メッキにより接続されているのは、実施の形態 1 と同様である。

【 0 0 4 3 】

これに対してダミーランド 4 5 は、チップ搭載基板 4 0 を挟んで内部電極パッド 4 1 の配置領域に対応する領域にそれぞれ配置してある。つまり、本実施の形態 3 では、内部電極パッド 4 1 を配置した領域とダミーランド 4 5 を配置した領域とがチップ搭載基板 4 0 を挟んで互いに対応するように構成してある。ダミーランド 4 5 としては、いかなる材質、構造からなるものであっても構わない。この場合、必ずしも導体で構成する必要もなく、また互いに同一の板厚を有するも

のであれば、外部電極ランド42とは異なる板厚を有しているものであってもよい。このダミーランド45には、半導体装置を実装基板等の実装対象に実装する場合にも半田ボール43が搭載されることはない。また、ダミーランド45と内部電極パッド41との間、並びにダミーランド45と外部電極ランド42との間は、いずれも接続された状態にはない。

【0044】

この半導体装置は、図3(b)に示すように、半導体チップ10のAuバンプ12と、チップ搭載基板40の内部電極パッド41とを対向させた状態で超音波併用熱圧着ボンディング法を用いることにより、各Auバンプ12が対応する内部電極パッド41にボンディングされ、半導体チップ10がチップ搭載基板40に搭載されることになる。

【0045】

ここで、本実施の形態3の半導体装置によれば、上述したように、チップ搭載基板40を挟んで内部電極パッド41の配置領域に対応する領域にそれぞれダミーランド45を配置するようにしているため、半導体チップ10のAuバンプ12をボンディングする部分においてはチップ搭載基板40の実質的な板厚が同一となる。すなわち、半導体チップ10のAuバンプ12をボンディングする部分においては、チップ搭載基板40の実質的な板厚が、いずれも内部電極パッド41の板厚およびダミーランド45の板厚を加算した値となる。このため、超音波併用熱圧着ボンディング法を用いた場合に、内部電極パッド41に接合されるAuバンプ12に対して荷重が均等に加わることになり、それぞれの潰れ量も均一となる。この結果、一つの半導体装置においてAuバンプ12と内部電極パッド41との間の接合条件が同一となり、特定の箇所に接続不良が招来されるといった虞れもなく、その品質を向上させることが可能になる。

【0046】

なお、上述した実施の形態3では、チップ搭載基板40を挟んで内部電極パッド41の配置領域に対応する領域外にそれぞれ外部電極ランド42を配置する一方、チップ搭載基板40を挟んで内部電極パッド41の配置領域に対応する領域のすべてにそれぞれダミーランド45を配置するようにしているが、本発明はこ

れに限定されない。例えば、チップ搭載基板 4 0 の外部接続面 4 0 b において任意の領域に外部電極ランド 4 2 を配置するとともに、該外部電極ランド 4 2 の配置領域外で、かつチップ搭載基板 4 0 を挟んで内部電極パッド 4 1 の配置領域に対応する領域にのみダミーランド 4 5 を設けるようにしても構わない。但し、この場合には、ダミーランド 4 5 として外部電極ランド 4 2 と同一の板厚を有したものを適用する必要がある。

【 0 0 4 7 】

実施の形態 4 .

上述した実施の形態 1 は、チップ搭載面に内部端子を有する一方、外部接続面に外部端子を有したチップ搭載部材を適用した半導体装置である。これに対して実施の形態 4 で示す半導体装置は、チップ搭載面に互いに高さの異なる複数の内部端子を有したチップ搭載基板を適用するものである。

【 0 0 4 8 】

図 4 は、この発明の実施の形態 4 である半導体装置を示したものである。ここで例示する半導体装置は、実施の形態 1 と同様、フリップチップタイプと称されるもので、半導体チップ 5 0 を裏返した状態でガラスエポキシ製のチップ搭載基板（チップ搭載部材） 6 0 に搭載してある。

【 0 0 4 9 】

本実施の形態 4 で適用するチップ搭載基板 6 0 は、第 1 内装コア 6 1 の上面に Cu 等による第 1 配線パターン層 6 2 を有するとともに、この第 1 配線パターン層 6 2 の上部に第 2 内装コア 6 3 を有し、さらにこの第 2 内装コア 6 3 の上面に Cu 等による第 2 配線パターン層 6 4 を有した多層基板である。第 2 配線パターン層 6 4 の上面には、さらにソルダーレジスト層 6 5 が設けてある。このチップ搭載基板 6 0 には、半導体チップ 5 0 を搭載するチップ搭載面 6 0 a に互いに高さの異なる内部電極パッド 6 2 a , 6 4 a が設けてある。すなわち、上記チップ搭載基板 6 0 には、第 1 配線パターン層 6 2 を外部に露出させて構成した第 1 内部電極パッド 6 2 a と、第 2 配線パターン層 6 4 を外部に露出させて構成した第 2 内部電極パッド 6 4 a とを備えている。これら第 1 および第 2 内部電極パッド 6 2 a , 6 4 a は、それぞれ内部端子となる部分であり、後述する半導体チップ

50のAuバンプ52a, 52bに対応する部位に配置してある。

【0050】

一方、半導体チップ50には、図4(a)に示すように、その表面(図において下面)に複数のA1パッド51が形成してあるとともに、各A1パッド51にそれぞれAuバンプ52a, 52bが設けてある。Auバンプ52a, 52bは、ワイヤボンディング方式によって形成したもので、上述した第1および第2内部電極パッド62a, 64aに応じて個々の高さに変化をつけてある。具体的には、高さの小さい第1内部電極パッド62aに対応するAuバンプ(以下、単に第1Auバンプ52aという)については、半導体チップ50の表面からの高さを大きくする一方、高さの大きい第2内部電極パッド64aに対応するAuバンプ(以下、単に第2Auバンプ52bという)については、半導体チップ50の表面からの高さを小さくしてある。第1Auバンプ52aと第2Auバンプ52bとの高さの差 Δh は、第1内部電極パッド62aと第2内部電極パッド64aとの高さの差 ΔH と同一になるように設定してある。

【0051】

この半導体装置は、図4(b)に示すように、半導体チップ50の第1および第2Auバンプ52a, 52bと、チップ搭載基板60の第1および第2内部電極パッド62a, 64aとを対向させた状態で超音波併用熱圧着ボンディング法を用いることにより、各Auバンプ52a, 52bがそれぞれ対応する内部電極パッド62a, 64aにボンディングされ、半導体チップ50がチップ搭載基板60に搭載されることになる。

【0052】

ここで、本実施の形態4の半導体装置によれば、上述したように、高さの小さい第1内部電極パッド62aに対応する第1Auバンプ52aの高さを大きくする一方、高さの大きい第2内部電極パッド64aに対応する第2Auバンプ52bの高さを小さくし、しかも第1Auバンプ52aと第2Auバンプ52bとの高さの差 Δh が、第1内部電極パッド62aと第2内部電極パッド64aとの高さの差 ΔH と同一になるように設定してある。このため、半導体チップ50をチップ搭載基板60に載置させれば、これら半導体チップ50とチップ搭載基板6

0 とが互いに平行となった状態で、すべての Au バンプ 5 2 a, 5 2 b が、それぞれ対応する内部電極パッド 6 2 a, 6 4 a に当接されることになる。これにより、超音波併用熱圧着ボンディング法を用いた場合に、内部電極パッド 6 2 a, 6 4 a に接合される Au バンプ 5 2 a, 5 2 b に対して荷重が均等に加わることになり、それぞれの潰れ量も均一となる。従って、一つの半導体装置において Au バンプ 5 2 a, 5 2 b と内部電極パッド 6 2 a, 6 4 a との間の接合条件が同一となり、特定の箇所に接続不良が招来されるといった虞れもなく、その品質を向上させることが可能になる。

【 0 0 5 3 】

なお、上述した実施の形態 4 では、チップ搭載部材として、互いに高さの異なる 2 つの内部電極パッドを有したチップ搭載基板を例示しているが、3 つ以上の高さの異なる内部電極パッドを有したチップ搭載基板に対しても同様に適用することが可能である。

【 0 0 5 4 】

実施の形態 5.

上述した実施の形態 4 では、チップ搭載部材としてチップ搭載基板を例示しているが、図 5 に示す実施の形態 5 のように、チップ搭載部材としてチップ搭載型の半導体チップを適用することも可能である。

【 0 0 5 5 】

すなわち、実施の形態 5 においてチップ搭載部材となるチップ搭載型半導体チップ 7 0 は、第 1 絶縁層 7 1 の上面に A 1 等による第 1 配線パターン層 7 2 を有するとともに、この第 1 配線パターン層 7 2 の上部に第 1 絶縁保護膜 7 3 を有し、さらにこの第 1 絶縁保護膜 7 3 の上面に A 1 等による第 2 配線パターン層 7 4 を有したものである。第 2 配線パターン層 7 4 の上面には、さらに第 2 絶縁保護膜 7 5 が設けてある。このチップ搭載型半導体チップ 7 0 には、半導体チップ 5 0 を搭載するチップ搭載面 7 0 a に互いに高さの異なる内部電極パッド 7 2 a, 7 4 a が設けてある。すなわち、上記チップ搭載型半導体チップ 7 0 には、第 1 配線パターン層 7 2 を外部に露出させて構成した第 1 内部電極パッド 7 2 a と、第 2 配線パターン層 7 4 を外部に露出させて構成した第 2 内部電極パッド 7 4 a

とを備えている。これら第1および第2内部電極パッド72a, 74aは、それぞれ内部端子となる部分であり、後述する半導体チップ50のAuパンプ52a, 52bに対応する部位に配置してある。

【0056】

一方、上述したチップ搭載型半導体チップ70に搭載する半導体チップ50には、図5(a)に示すように、その表面(図において下面)に複数のA1パッド51が形成してあるとともに、各A1パッド51にそれぞれAuパンプ52a, 52bが設けてある。Auパンプ52a, 52bは、ワイヤボンディング方式によって形成したもので、上述した第1および第2内部電極パッド72a, 74aに応じて個々の高さに変化をつけてある。具体的には、高さの小さい第1内部電極パッド72aに対応する第1Auパンプ52aについては、半導体チップ50の表面からの高さを大きくする一方、高さの大きい第2内部電極パッド74aに対応する第2Auパンプ52bについては、半導体チップ50の表面からの高さを小さくしてある。第1Auパンプ52aと第2Auパンプ52bとの高さの差 Δh は、第1内部電極パッド72aと第2内部電極パッド74aとの高さの差 ΔH と同一になるように設定してある。

【0057】

この半導体装置は、図5(b)に示すように、半導体チップ50の第1および第2Auパンプ52a, 52bと、チップ搭載型半導体チップ70の第1および第2内部電極パッド72a, 74aとを対向させた状態で超音波併用熱圧着ボンディング法を用いることにより、各Auパンプ52a, 52bが、それぞれ対応する内部電極パッド72a, 74aにボンディングされ、半導体チップ50がチップ搭載型半導体チップ70に搭載されてチップオンチップ型の半導体装置を構成することになる。

【0058】

ここで、本実施の形態5の半導体装置によれば、上述したように、高さの小さい第1内部電極パッド72aに対応する第1Auパンプ52aの高さを大きくする一方、高さの大きい第2内部電極パッド74aに対応する第2Auパンプ52bの高さを小さくし、しかも第1Auパンプ52aと第2Auパンプ52bとの

高さの差 Δh が、第1内部電極パッド72aと第2内部電極パッド74aとの高さの差 ΔH と同一になるように設定してある。このため、半導体チップ50をチップ搭載型半導体チップ70に載置させれば、これら半導体チップ50とチップ搭載型半導体チップ70とが互いに平行となった状態で、すべてのAuバンプ52a, 52bが、それぞれ対応する内部電極パッド72a, 74aに当接されることになる。これにより、超音波併用熱圧着ボンディング法を用いた場合に、内部電極パッド72a, 74aに接合されるAuバンプ52a, 52bに対して荷重が均等に加わることになり、それぞれの潰れ量も均一となる。従って、一つの半導体装置においてAuバンプ52a, 52bと内部電極パッド72a, 74aとの間の接合条件が同一となり、特定の箇所に接続不良が招来されるといった虞れもなく、その品質を向上させることが可能になる。

【0059】

なお、上述した実施の形態5では、チップ搭載部材として、互いに高さの異なる2つの内部電極パッドを有したチップ搭載型半導体チップを例示しているが、3つ以上の高さの異なる内部電極パッドを有したチップ搭載型半導体チップに対しても同様に適用することが可能である。

【0060】

また、上述した実施の形態4および5においては、図6の変形例に示すように、所定の単位バンプ52の重ね数によってAuバンプ52a, 52bの高さを変更するようにしてもよい。例えば、単位バンプ52を二つ重ねることによって高さの大きいAuバンプ52aを設ける一方、単位バンプ52を一つ重ねることによって高さの小さいAuバンプ52bを設けるようにしてもよい。この変形例によれば、例えばA1パッド51に対するワイヤボンディングの回数に応じてAuバンプ52a, 52bの高さを容易に変更することができるため、上述した実施の形態4および5の半導体装置を製造する場合に作業が煩雑化する虞れがなく、それぞれを容易に具現化することが可能になる。

【0061】

【発明の効果】

以上説明したように、この発明によれば、半導体チップのバンプをボンディン

グする部分においてチップ搭載部材の板厚が同一となるため、半導体チップのバンプとチップ搭載部材の内部端子との間の接合条件を均一化することが可能となる。

【 0 0 6 2 】

つぎの発明によれば、半導体チップのバンプをボンディングする部分においてチップ搭載部材の板厚が同一となるため、半導体チップのバンプとチップ搭載部材の内部端子との間の接合条件を均一化することが可能となる。

【 0 0 6 3 】

つぎの発明によれば、半導体チップのバンプをボンディングする部分においてチップ搭載部材の板厚が同一となるため、半導体チップのバンプとチップ搭載部材の内部端子との間の接合条件を均一化することが可能となる。

【 0 0 6 4 】

つぎの発明によれば、バンプの高さを変化させることによって内部端子の高さの差を吸収することができるため、半導体チップのバンプとチップ搭載部材の内部端子との間の接合条件を均一化することが可能となる。

【 0 0 6 5 】

つぎの発明によれば、容易にバンプの高さを変更することができるため、半導体装置の製造作業が煩雑化する虞れがない。

【 0 0 6 6 】

つぎの発明によれば、内部端子の高さの差を吸収して半導体チップを多層基板に搭載することができるため、多層基板に半導体チップを搭載した半導体装置においてこれら多層基板と半導体チップとの間の接合条件を均一化することが可能になる。

【 0 0 6 7 】

つぎの発明によれば、内部端子の高さの差を吸収して半導体チップを積層することができるため、接合条件を均一化したチップオンチップ型の半導体装置を具現化することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である半導体装置の構成を示すもので、

(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図、(c) はチップ搭載部材を概念的に示す平面図である。

【図 2】 この発明の実施の形態 2 である半導体装置の構成を示すもので、(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図、(c) はチップ搭載部材を概念的に示す平面図である。

【図 3】 この発明の実施の形態 3 である半導体装置の構成を示すもので、(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図、(c) はチップ搭載部材を概念的に示す平面図である。

【図 4】 この発明の実施の形態 4 である半導体装置の構成を示すもので、(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図である。

【図 5】 この発明の実施の形態 5 である半導体装置の構成を示すもので、(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図である。

【図 6】 図 4 および図 5 に示した半導体装置の変形例を示す断面側面図である。

【図 7】 従来の半導体装置の第 1 例を示したもので、(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図、(c) はチップ搭載部材を概念的に示す平面図である。

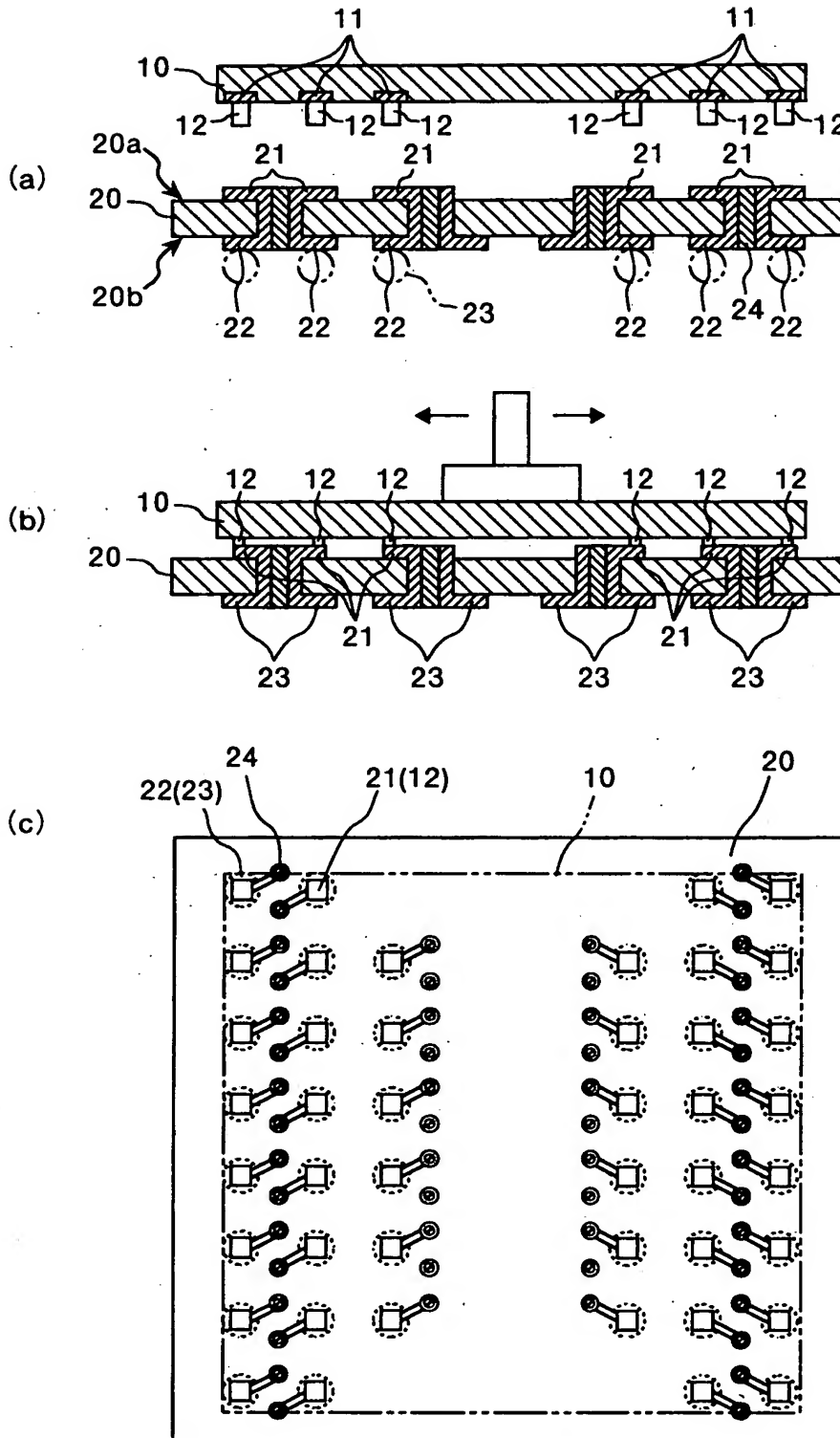
【図 8】 従来の半導体装置の第 2 例を示したもので、(a) は半導体チップとチップ搭載部材とが離隔した状態を概念的に示す断面側面図、(b) は半導体チップをチップ搭載部材に搭載した状態を概念的に示す断面側面図である。

【符号の説明】

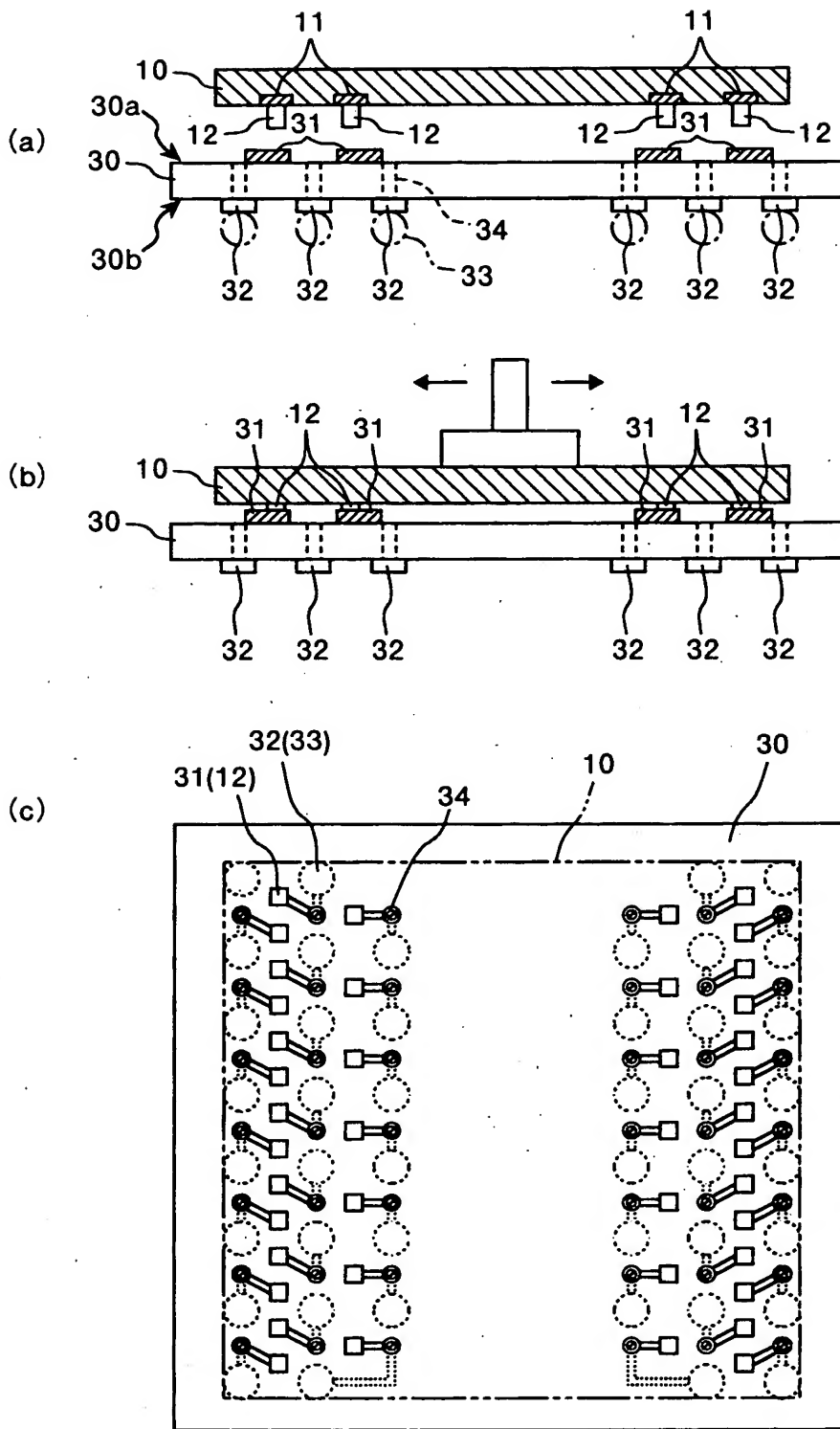
10 半導体チップ、11 Alパッド、12 Auバンプ、20 チップ搭載基板、20a チップ搭載面、20b 外部接続面、21 内部電極パッド、22 外部電極ランド、23 半田ボール、24 ビア、30 チップ搭載基板、30a チップ搭載面、30b 外部接続面、31 内部電極パッド、32 外部電極ランド、33 半田ボール、34 ビア、40 チップ搭載基板、40a チップ搭載面、40b 外部接続面、41 内部電極パッド、42 外部電極ランド、43 半田ボール、44 ビア、45 ダミーランド、50 半導体チップ、51 Alパッド、52a, 52b Auバンプ、60 チップ搭載基板、60a チップ搭載面、61 第1内装コア、62 第1配線パターン層、62a 第1内部電極パッド、63 第2内装コア、64 第2配線パターン層、64a 第2内部電極パッド、65 ソルダーレジスト層、70 チップ搭載型半導体チップ、70a チップ搭載面、71 第1絶縁層、72 第1配線パターン層、72a 第1内部電極パッド、73 第1絶縁保護膜、74 第2配線パターン層、74a 第2内部電極パッド、75 第2絶縁保護膜。

【書類名】 図面

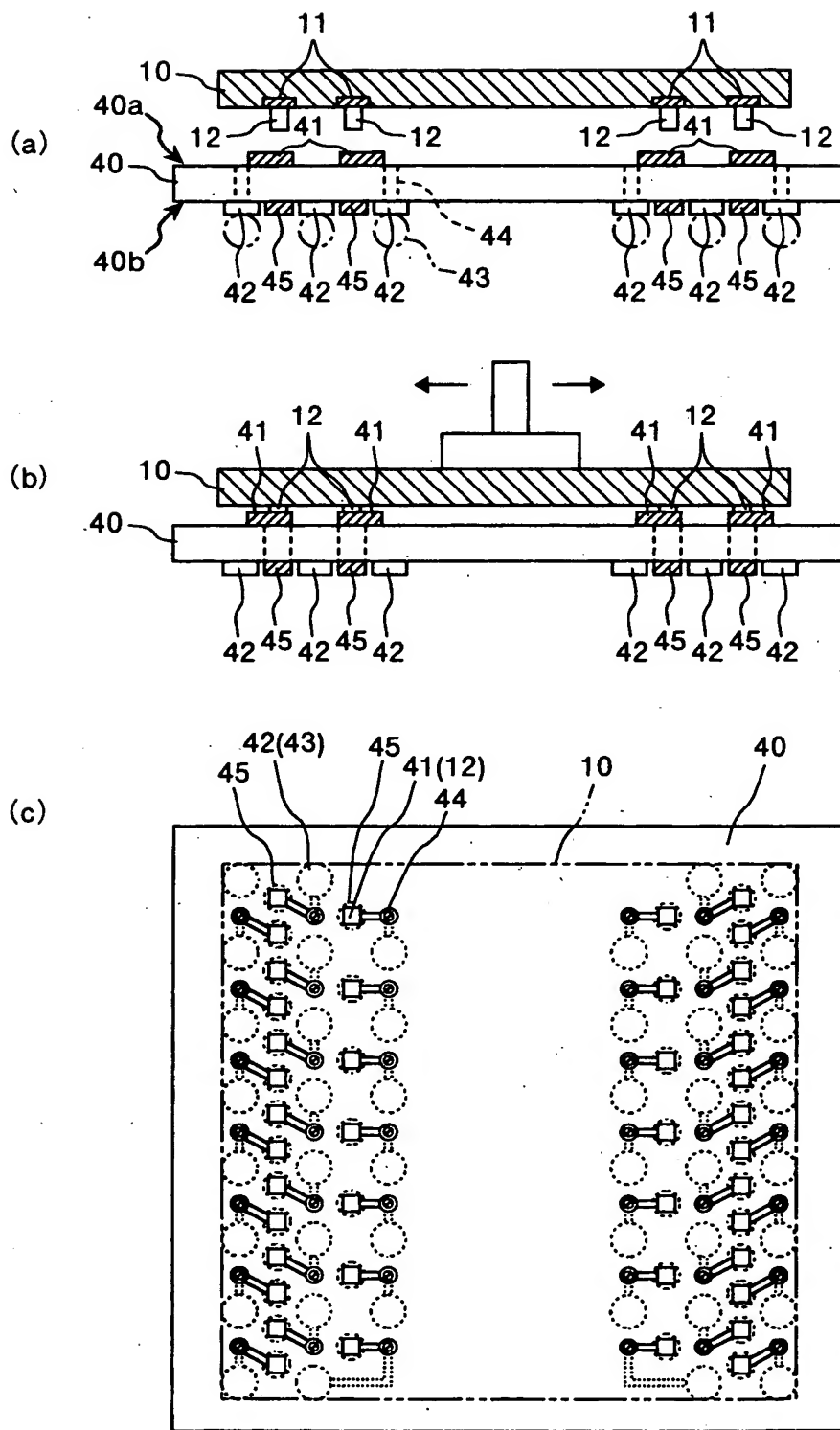
【図 1】



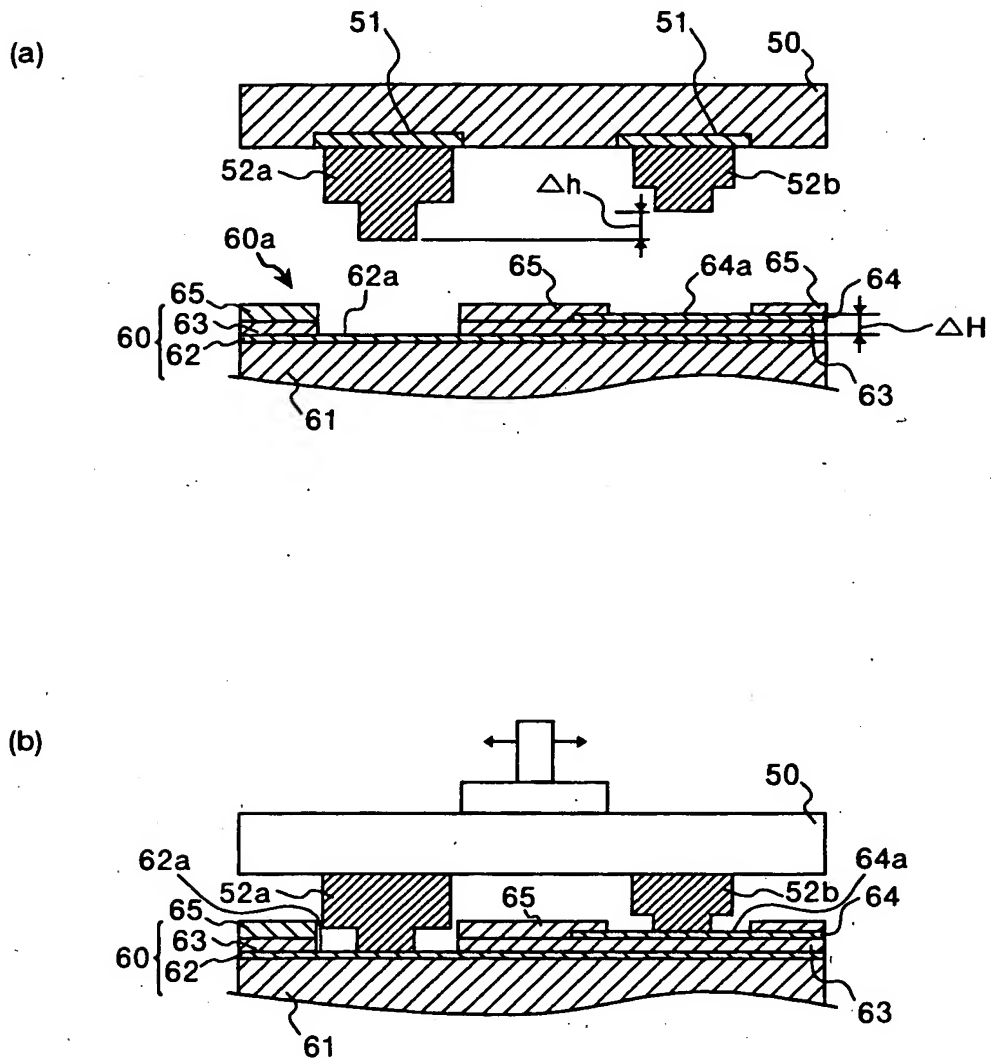
【図 2】



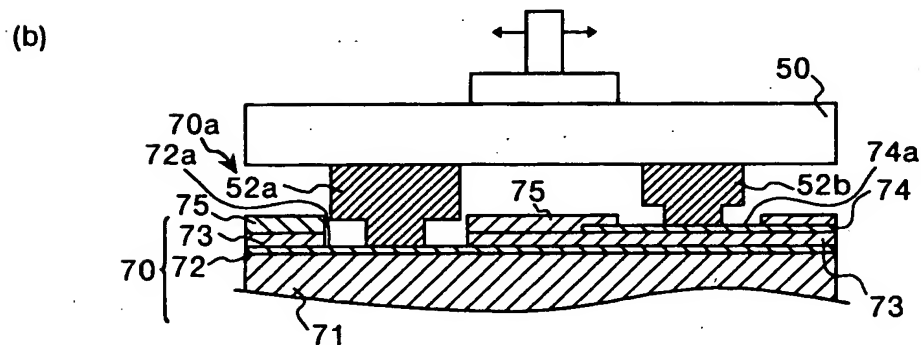
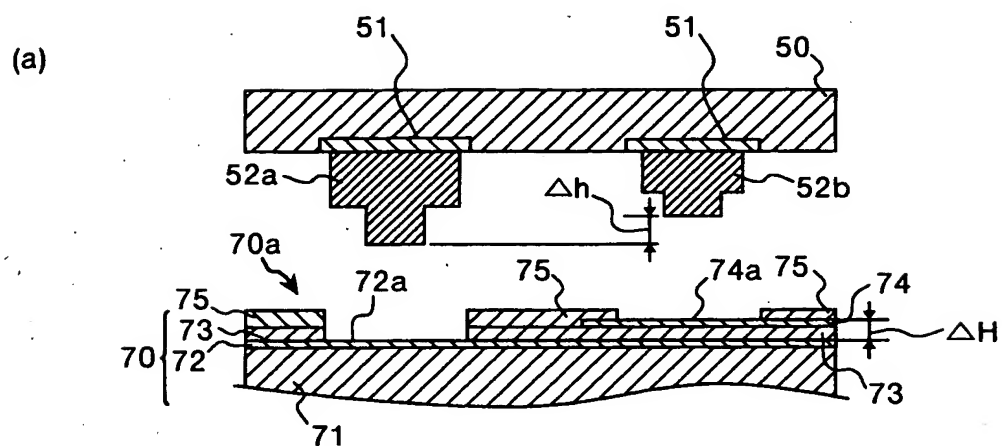
【図 3】



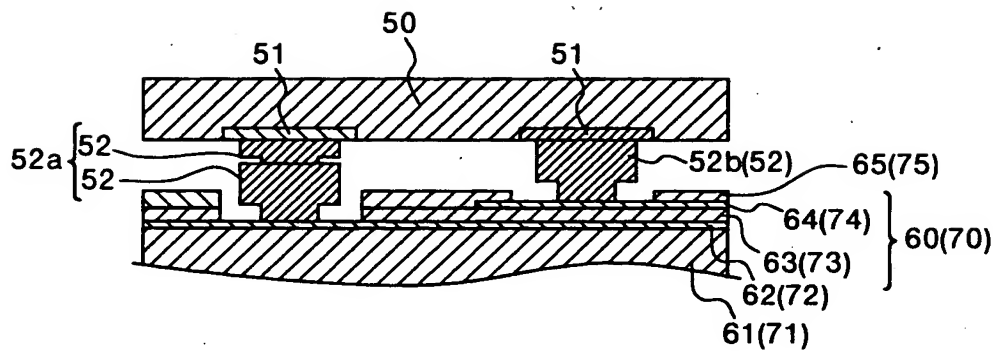
【図 4】



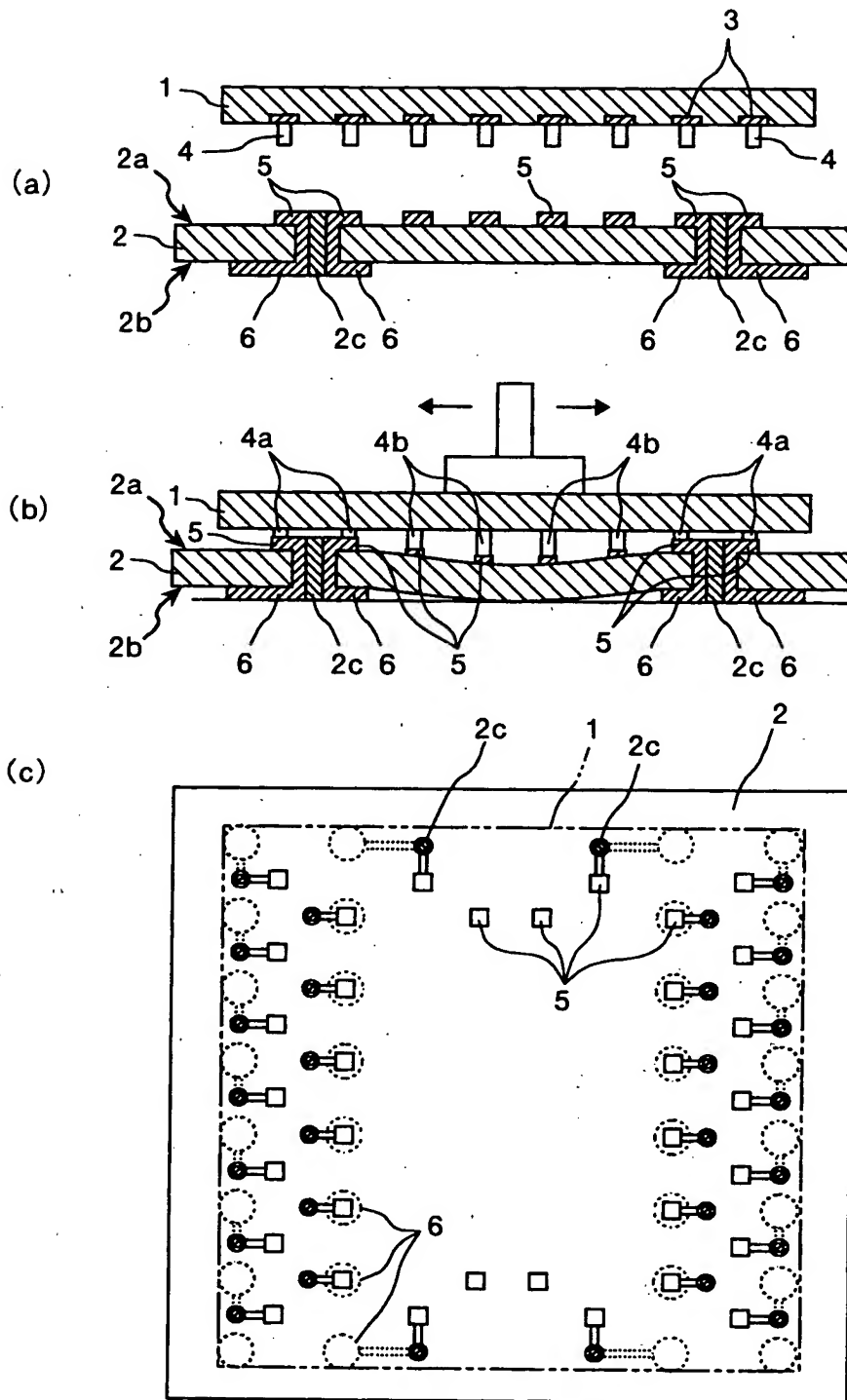
【図 5】



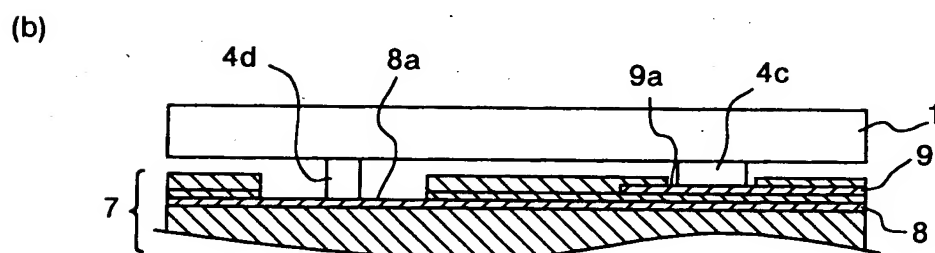
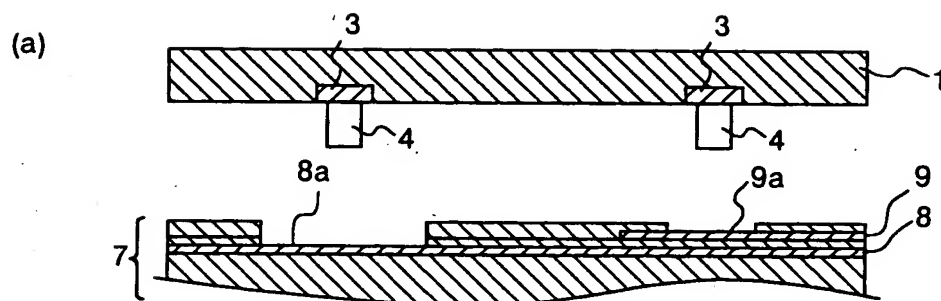
【図 6】



【图 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 半導体チップの bumps とチップ搭載部材の内部端子との間の接合条件を均一化すること。

【解決手段】 表面に Au bumps 12 を設けた半導体チップ 10 と、チップ搭載面 20 a に内部電極パッド 21 を有する一方、外部接続面 20 b に外部電極ランド 22 を有したチップ搭載基板 20 と、を備え、半導体チップ 10 を裏返した状態で該半導体チップ 10 の Au bumps 12 をチップ搭載基板 20 の内部電極パッド 21 にボンディングして成る半導体装置において、チップ搭載基板 20 を挟んで内部電極パッド 21 の配置領域に対応する領域には外部電極ランド 22 を配置するようにしている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社